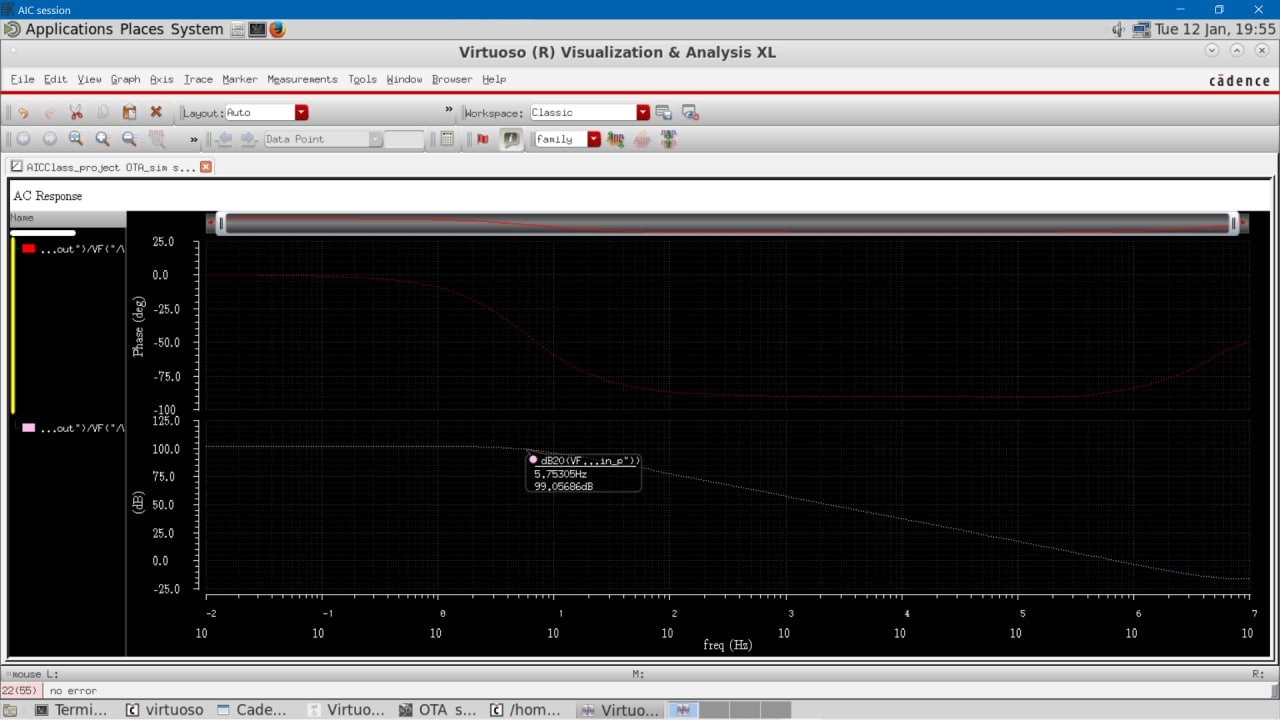
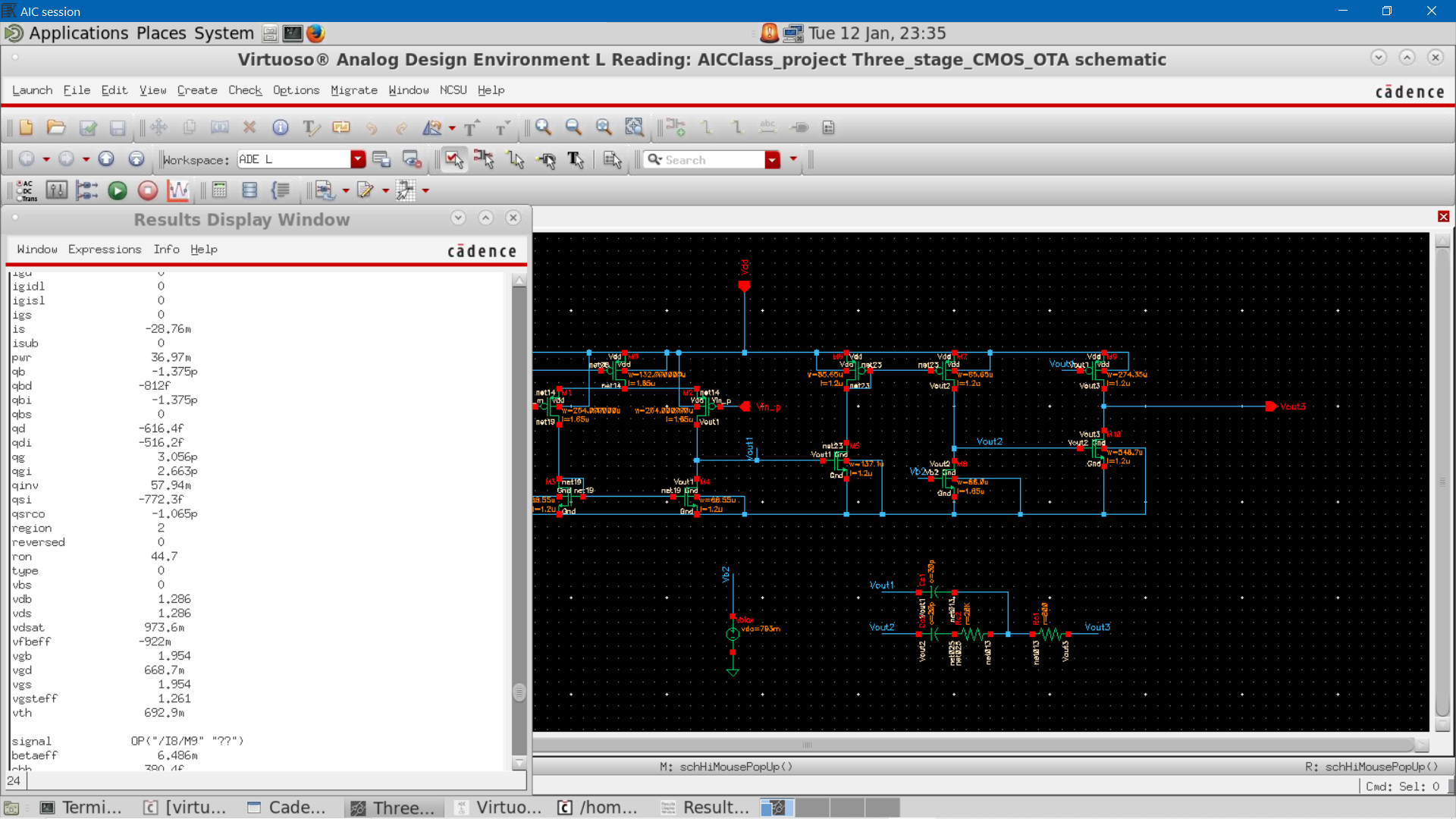
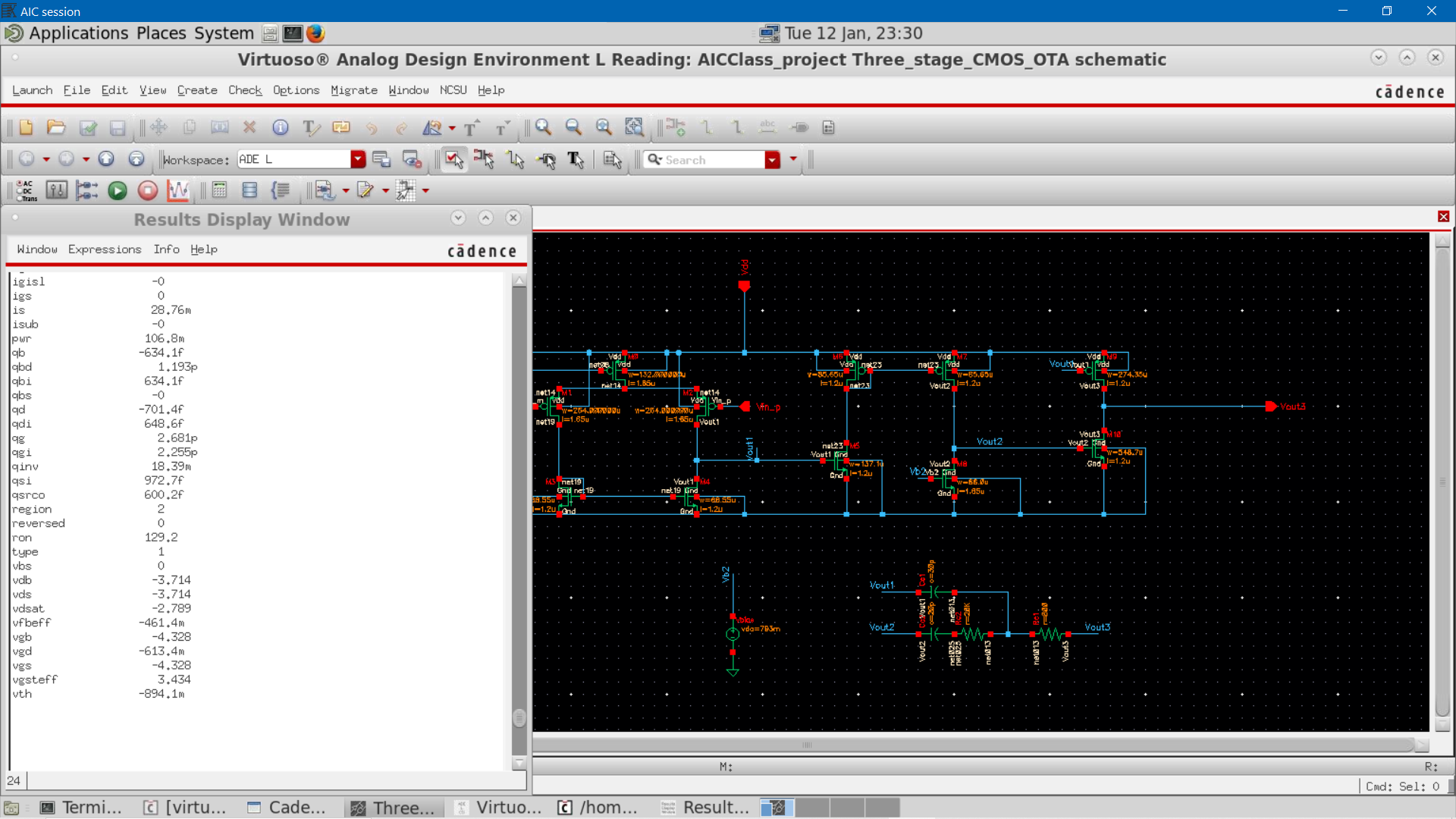
1. Nel paper viene usata L=2Lmin=0.7u per alcuni mos, per altri viene usata L=1. Noi abbiamo opportunamente scalato le nostre lunghezze, ma ci chiedevamo se fosse una scelta progettuale (aumentare gm e quindi il guadagno, ridurre i parassiti, ecc…) oppure di comodità per il layout o cos’altro.
2. Avendo una tecnologia diversa rispetto al paper (oltre al fatto che noi usiamo 0.5u piuttosto che 0.35u) abbiamo delle difficoltà a lavorare con alimentazione a 1.5V. Infatti, nei nostri modelli, Vthn=0.7V e Vthp=0.9V (loro usavano un doping profile minore??). Per esempio, il CMIR con queste soglie risulta che deve essere compreso tra 1.5V e 2.1V, è impossibile. In generale abbiamo fatto un input sweep e L’USCITA RESTA SATURA! Per questo motivo, stiamo lavorando con Vdd=5V, è ok? Vdd=3,3 è utilizzabile ma con delle pessime performances. Questo pensiamo modificherà abbastanza i risultati rispetto a quelli del paper…
3. Abbiamo fatto delle simulazioni preliminari e abbiamo ottenuto dei risultati peggiori rispetto a quelli del paper. È dovuto alla tecnologia diversa e le motivazioni sopra riportate? Per esempio, siamo riusciti ad ottenere un guadagno di 104dB in DC (113dB nel paper), con un polo a circa 10Hz (circa 3Hz nel paper) e dunque GBW di circa 1.8MHz (1.4MHz nel paper). Invece il margine di fase ad anello aperto è grandissimo. Poi tutti gli altri risultati da noi sono leggermente peggiori. Va comunque bene? È un problema nostro o è normale??

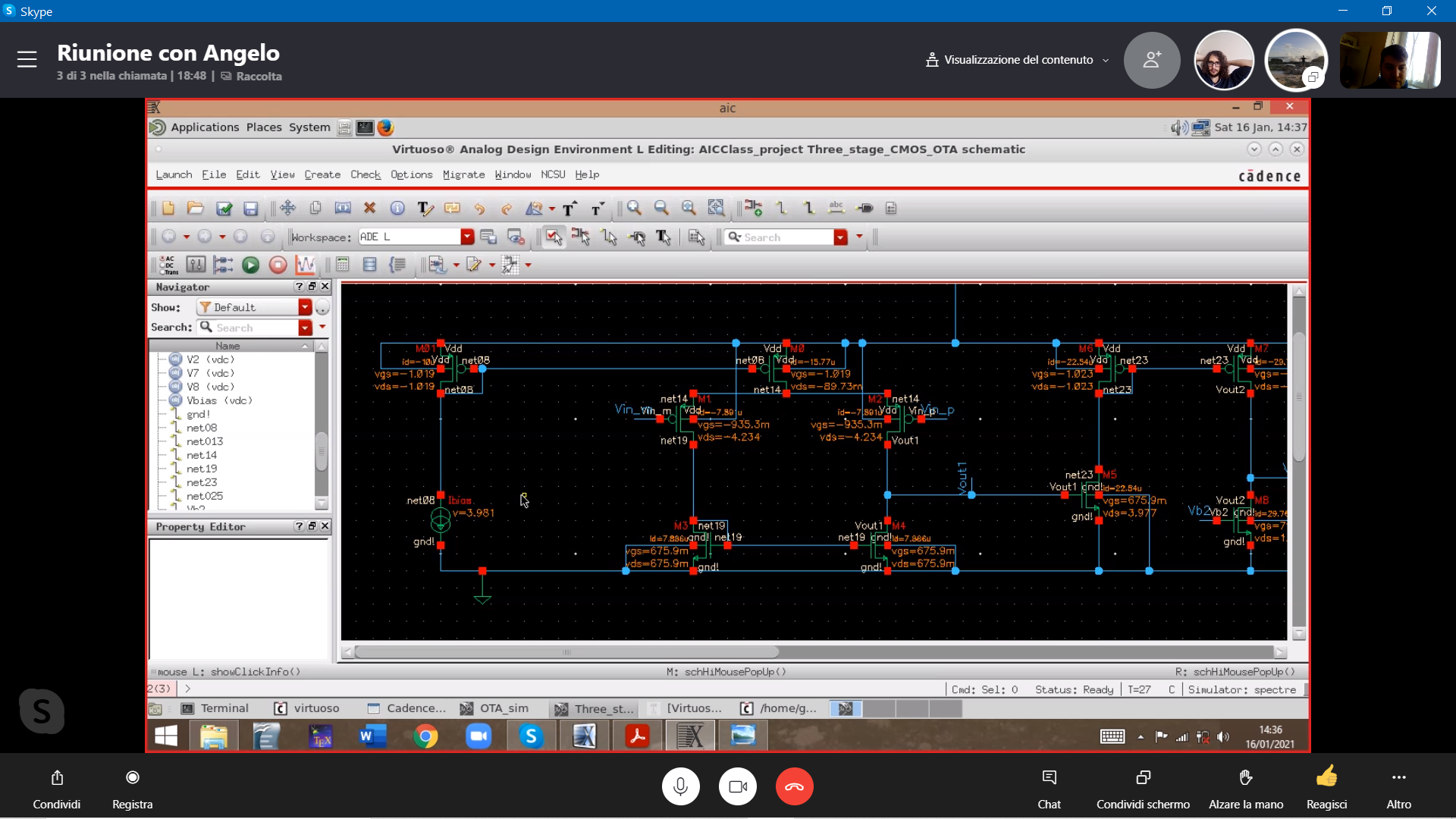


Inoltre, abbiamo visto dall’analisi in DC che i due ro di M9-M10 (terzo stadio) hanno valori abbastanza bassi, mentre gli altri mos dell’ordine del Kohm. Questa potrebbe essere una importante causa del fatto che il guadagno ci viene basso (?). Cosa potremmo fare in questo caso?





1. Per ottenere un guadagno alto e delle performance adeguate, abbiamo bisogno di bias abbastanza precisi (sia per la coppia differenziale che per il CS nel secondo stadio), dell’ordine della terza cifra decimale. Tenendo conto di questo, le reti di polarizzazione vanno progettate o si possono lasciare ideali? Inoltre, abbiamo messo Vcm off-chip: Vb2 e Ib le dobbiamo mettere on-chip o off-chip? Abbiamo vincoli o possiamo scegliere?
2. Abbiamo M0 che lavora in regione di triodo e dunque non specchia bene la corrente. È formalmente sbagliato perché uno specchio per lavorare bene ha bisogno di entrambi i bracci in saturazione però in questo modo ci siamo accorti che abbiamo un guadagno maggiore. È normale che sia usato così? Sul paper non ne parla.



1. Nelle simulazioni, Harmonic Distortion???
2. Noi abbiamo usato il multiplyer nello schematico. Va bene? Ci può creare problemi? All’altro gruppo dava problemi nella corrente… dobbiamo fare lo stesso anche nel layout?
3. Ha consigli in generale per il layout? Facciamo un unico blocco (possibilmente interdigitated) o con vari blocchettini come fatto nello schematico?